

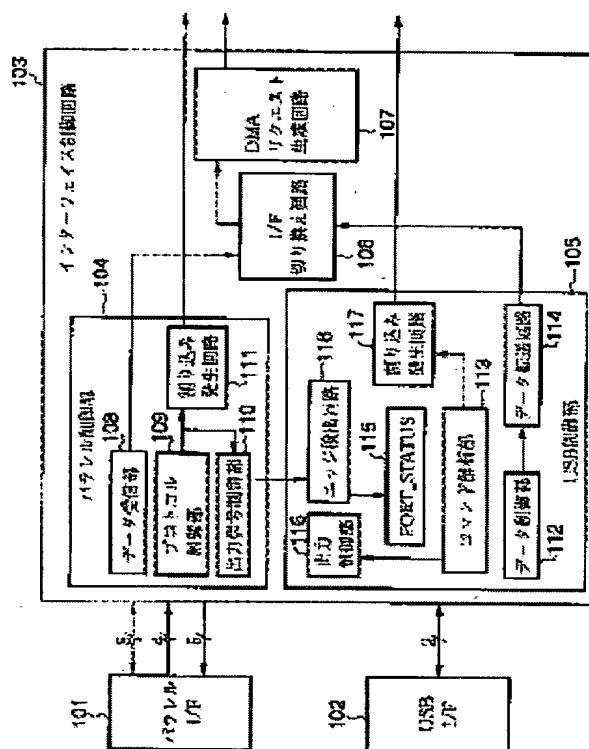
INTERFACE CIRCUIT AND PRINTER DEVICE

Patent number: JP2002014913
Publication date: 2002-01-18
Inventor: UEMURA HIROSHI
Applicant: CANON INC
Classification:
 - international: G06F13/38; G06F3/12; G06F13/12; G06F13/14
 - european:
Application number: JP20000196828 20000629
Priority number(s):

Abstract of JP2002014913

PROBLEM TO BE SOLVED: To speed up a response to the GET-PORT-STATUS request of USB.

SOLUTION: When a command is received from parallel IF, an edge detection circuit 118 detects the edge if signals are PE, SLCT and FAUL signals, and a parallel IF control signal value is written into a PORT-STATUS register 115. When the GET-PORT-STATUS request is received from USB, the PORT-STATUS register 115 is read and the response is returned to a request source.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-14913

(P2002-14913A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	ターマート* (参考)
G 0 6 F 13/38	3 3 0	G 0 6 F 13/38	3 3 0 Z 5 B 0 1 4
3/12		3/12	A 5 B 0 2 1
13/12	3 5 0	13/12	3 5 0 5 B 0 7 7
13/14	3 1 0	13/14	3 1 0 A

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願2000-196828 (P2000-196828)

(22) 出願日 平成12年6月29日 (2000.6.29)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 植村 寛

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康徳 (外2名)

Fターム (参考) 5B014 GD22 GD35 GD4

5B021 AA01 BB01 BB10

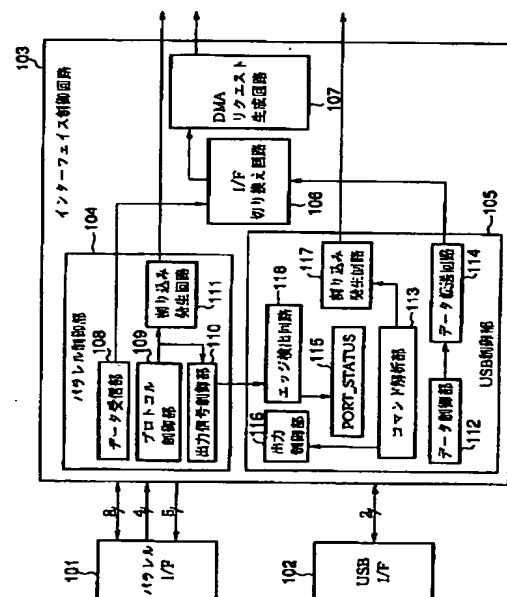
5B077 AA03 MM01 MM02 NN02 NN08

(54) 【発明の名称】 インターフェイス回路およびプリンタ装置

(57) 【要約】

【課題】 USBのGET_PORT_STATUS要求に対する応答を迅速化する。

【解決手段】 パラレル I/F からコマンドを受けると、それが P E, S L C T, F A U L T 信号であれば、エッジ検出回路 118 でそのエッジを検出し、PORT_STATUS レジスタ 115 にパラレル I/F 制御信号値を書き込む。U S B から GET_PORT_STATUS 要求を受けると、PORT_STATUS レジスタ 115 を読み出して要求元に返す。



1

【特許請求の範囲】

【請求項1】 ホスト装置と接続するための複数のインターフェイスを有し、該複数のインターフェイスのうちにUSB規格のインターフェイスとIEEE Std 1284準拠の平行インターフェイスを含むインターフェイス回路であって、

前記平行インターフェイスのポート情報の変化を検知するエッジ検出回路と、

前記平行インターフェイスのポート情報を格納するレジスタと、

前記エッジ検出回路により検出されたポート情報の変化に応じて、前記平行インターフェイスのポート情報を前記レジスタに書き込む書き込み制御回路とを有することを特徴とするインターフェイス回路。

【請求項2】 前記書き込み制御回路は、前記平行インターフェイスの制御信号の値が変化する度に前記レジスタの値を更新することを特徴とする請求項1記載のインターフェイス回路。

【請求項3】 ホスト装置からのGET_PORT_STATUSリクエスト信号に対して前記レジスタの値を参照して自動応答することを特徴とする請求項2記載のインターフェイス回路。

【請求項4】 前記書き込み制御回路は、前記インターフェイス回路を制御するCPUからの要求に応じて、前記レジスタの値を更新できることを特徴とする請求項1記載のインターフェイス回路。

【請求項5】 請求項1乃至4のいずれか1項に記載のインターフェイス回路と、

前記インターフェイス回路を介して受信した信号に基づいて画像を形成して印刷する印刷手段とを備えることを特徴とするプリンタ装置。

【請求項6】 第1及び第2の上位インターフェイスを備えたインターフェイス回路であって、レジスタと、

前記第1のインターフェイスを介して所定の信号を受信した場合に、前記レジスタの値を前記第1のインターフェイスを介して受信した制御信号値によって更新するレジスタ更新手段と、

前記第2のインターフェイスを介してインターフェイスの状態を要求された場合に、前記レジスタの値を要求元に応答する応答手段とを有することを特徴とするインターフェイス回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばパーソナルコンピュータ等のホスト装置とプリンタ等の周辺装置間などでデータ伝送を行うインターフェイス回路に関する。

【0002】

【従来の技術】パーソナルコンピュータ等のホスト装置

2

とプリンタ装置等の周辺装置との間でデータ伝送を行うインターフェイスのひとつとしてUSB (Universal Serial Bus) が知られている。USB規格をサポートするデバイスは、各デバイスのデバイスクラスの定義を満たしなければならない。例えば、プリンタ装置は、Universal Serial Bus Device Class Definition for Printing Deviceに記載されている規格を満たしなければならない。プリンタ装置はUSB規格のスタンダードリクエストと上記デバイスクラス特有のリクエストに対して応答しなければならない。

【0003】プリンタクラス特有のリクエストとしてGET_PORT_STATUSがある。プリンタ装置は、ホスト装置からのGET_PORT_STATUSリクエストに回答して、セントロニクス平行ポートの情報を返さなければならない。上記インターフェイスの制御については、専用の制御ICを用いることが多い。

【0004】従来利用されている制御ICなどを用いた回路では、ホスト装置から受信したデータが、コマンド解析の結果、GET_PORT_STATUSリクエストであった場合、プリンタを制御するCPUに対して割り込みを発生する。CPUは割り込みを受けて、セントロニクスインターフェイスのポート情報を確認した後、前記制御IC内のUSB制御ブロックにあるPORT_STATUSレジスタにPaper Empty, Select, Not Errorの情報を書き込む。そして、このレジスタの値をホスト装置に対してセントロニクス平行ポートの情報を返していた。

【0005】

【発明が解決しようとする課題】このようにGET_PORT_STATUSリクエストを受ける度にCPUに割り込みを要求し、CPUによってUSB制御ブロックにあるPORT_STATUSレジスタをアクセスしては応答が遅くなってしまう、スループットの低下の要因となっていた。

【0006】本発明は上記従来例に鑑みて成されたもので、GET_PORT_STATUSリクエストに対する応答を高速化し、スループットを低下させることのないインターフェイス回路及びプリンタ装置を提供することを目的とする。

【0007】また、ホスト装置と接続するインターフェイスを複数種類持ち、そのうちの一つはUSBインターフェイスで、また一つはIEEE Std 1284準拠の平行インターフェイスであるインターフェイス回路において、ホスト装置から伝送されるUSB規格のプリンタクラスのGET_PORT_STATUSリクエストに対してCPUを介在せずに応答するインターフェイス回路を実現することを目的とする。

【0008】また、本発明におけるプリンタ装置の目的は、規格の異なる複数のインターフェイスを持ち、その

10

20

30

40

50

3

うちの一つはUSBインターフェイスで、また一つはセントロニクス社仕様のパラレルインターフェイスであるプリンタ装置において、ホスト装置から伝送されるUSB標準のプリンタクラスのGET_PORT_STATUSリクエストに対してCPUを介在せずに応答するプリンタ装置を提供することである。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するためのものであり、パラレルインターフェイス制御ブロックの出力制御信号の変化を検知し、USB制御ブロックのPORT_STATUSレジスタに格納されているパラレルインターフェイスのポート情報を自動更新することにより、CPUを介在せずにUSB制御ブロック内のPORT_STATUSレジスタのポート情報を更新する。

【0010】また、上記目的を達成するために本発明は次のような構成からなる。

【0011】ホスト装置と接続するための複数のインターフェイスを有し、該複数のインターフェイスのうちにUSB規格のインターフェイスとIEEE Std 1284準拠のパラレルインターフェイスを含むインターフェイス回路であって、前記パラレルインターフェイスのポート情報の変化を検知するエッジ検出回路と、前記パラレルインターフェイスのポート情報を格納するレジスタと、前記エッジ検出回路により検出されたポート情報の変化に応じて、前記パラレルインターフェイスのポート情報を前記レジスタに書き込む書き込み制御回路とを有する。

【0012】さらに好ましくは、前記書き込み制御回路は、前記パラレルインターフェイスの制御信号の値が変化する度に前記レジスタの値を更新する。

【0013】さらに好ましくは、ホスト装置からのGET_PORT_STATUSリクエスト信号に対して前記レジスタの値を参照して自動応答する。

【0014】さらに好ましくは、前記書き込み制御回路は、前記インターフェイス回路を制御するCPUからの要求に応じて、前記レジスタの値を更新できる。

【0015】あるいは、第1及び第2の上位インターフェイスを備えたインターフェイス回路であって、レジスタと、前記第1のインターフェイスを介して所定の信号を受信した場合に、前記レジスタの値を前記第1のインターフェイスを介して受信した制御信号値によって更新するレジスタ更新手段と、前記第2のインターフェイスを介してインターフェイスの状態を要求された場合に、前記レジスタの値を要求元に応答する応答手段とを有する。

【0016】あるいは、本発明のプリンタ装置は次のような構成からなる。

【0017】上記いずれかに記載のインターフェイス回路と、前記インターフェイス回路を介して受信した信号

4

に基づいて画像を形成して印刷する印刷手段とを備える。

【0018】

【発明の実施の形態】本実施例は、USBインターフェイスとIEEE Std 1284準拠のパラレルインターフェイスの2つのインターフェイスを持つプリンタ装置を用いて説明を述べるが、本発明はこれに限定されるものではない。

【0019】以下、本発明の実施例を具体的に述べる。

【0020】図2は、本発明のプリンタ装置の概略を表すブロック図である。201はCPU、202はCPU201が実行するプログラムを格納しておくROM、203はASICであり、本発明におけるインターフェイスの制御を行うインターフェイス制御回路208、CPU201への割り込みを発生する割り込み制御回路209、後述のRAM204に対するデータ転送制御を行うDMAコントローラ210、記録データのデータ処理および記録ヘッド207に対する記録データの供給制御を行う印字制御部211から構成される。

【0021】また、RAM204はパラレルI/F205及びUSB I/F206から受信したデータを格納する受信バッファおよび記録データを格納する印字バッファ等の領域として用いられる。パラレルI/F205またはUSB I/F206を介してホスト装置（不図示）から入力データが与えられるとASIC203内のインターフェイス制御回路208からDMAコントローラ210が起動され、DMA転送でRAM204内の受信バッファ領域にデータは一旦格納される。受信バッファに格納されたデータは、コマンド解析が行われてから印字データ情報であれば印字制御部211により印字データ処理が行われてから印字バッファに蓄えられる。印字バッファに必要な量だけデータが蓄えられたところで印字制御部211は記録ヘッド207に印字データを転送して印字を実行する。

【0022】図1は、本発明におけるインターフェイス回路の概略を示すブロック図である。101は、IEEE Std 1284準拠のパラレルインターフェイス、102はUSB規格準拠のUSBインターフェイスであり、それぞれ図2の205、206に相当する。103は、図2の208と同等のインターフェイス回路であり、パラレルインターフェイス制御を行うパラレル制御部104とUSBインターフェイスの制御を行うUSB制御部と2つのインターフェイスを切り換えるインターフェイス切り換え回路106、受信バッファに受信データを転送するDMAを制御するDMAリクエスト生成回路107とから主に構成される。

【0023】パラレル制御部104は、データ受信部108とIEEE Std 1284により規定されている各通信モードのプロトコルを制御するプロトコル制御部109と各出力制御信号を制御する出力信号制御部1

10とCPUに対する割り込みを発生する割り込み発生回路111とから構成される。

【0024】USB制御部105は、以下の構成から成る。データ制御部112は、受信シリアルデータのサンプリング、シリアル→パラレル変換、パケットの管理の機能を持ち、FIFOも持っている。コマンド解析部113は、受信したデータを解析し、割り込み発生回路117へのトリガを生成したり、ホスト装置からのリクエストに応答する機能を有する。データ転送回路114は各エンドポイントの機能を実現し、受信したデータを10受信バッファへ転送するデータ転送回路である。PORT_STATUSレジスタ115は、パラレルインターフェイスのポート情報を保持しているレジスタである。出力制御部116は、出力信号の制御を行う。エッジ検出回路118はパラレル制御部104の出力制御信号のエッジを検出してPORT_STATUSレジスタ115の書き込み制御のための信号を生成する。

【0025】図3は、エッジ検出回路118を示しており、パラレル制御部104の出力信号であるPError、Select、nFault信号のエッジを検出して20PORT_STATUSレジスタ115の書き込み制御信号を生成している。例えば、PE信号のエッジ検出回路はPE信号が変化したところでPE_EDG信号を1CLK分Hiにし、また、PE_WRE信号を2CLK分Hiにする。

【0026】図4は、PORT_STATUSレジスタ115の書き込み制御を行う回路を表している。図中のセクタにはCPUバスData[2:0]とパラレル制御部104の出力信号が接続されており、PE_WRE、SLCT_WRE、FAULT_WREのどれかが30Hiの間、パラレル制御部104の出力信号が出力される。PORT_STATUSレジスタ115はCPUからのライト信号CPU_WR*もしくはHARD_WR*がLowパルスによってセクタの出力をラッチする。ここで、AUTO_WRE信号はPORT_STATUS115レジスタの自動更新を許可する信号であり、AUTO_WRE信号がLowの時はパラレル制御部104の出力信号のエッジを検出してもPORT_STATUSレジスタ115の値は更新されない。

【0027】ここで、図5を用いてPORT_STATUSレジスタ115への書き込み制御を説明する。40

【0028】パラレル制御部104の出力信号であるPE信号がHiレベルからLowレベルに変化するとエッジ検出回路118はそれを検知して、PE_WRE、PE_EDG信号にパルスを出力する。PE_WRE信号がHiレベルの間、図4のセクタはパラレル制御部104の制御信号を選択している。この時、AUTO_WRE信号はHiであり、PORT_STATUS115レジスタの自動更新を許可しているため、PE_EDG信号によりPORT_STATUSレジスタ115の値50

が更新される。

【0029】次にSLCT信号が変化したことを検知して、SLCT_WRE、SLCT_EDG信号にパルスを生成する。SLCT_WRE信号がHiレベルの間、図4のセクタはパラレル制御部104の制御信号を選択している。この時、AUTO_WRE信号はLowであり、PORT_STATUS115レジスタの自動更新を禁止しているため、PORT_STATUSレジスタ115の値は更新されない。CPUがPORT_STATUSレジスタ115に書き込み動作を行う時は、AUTO_WRE信号のレベルに関わらずCPU_WR*信号によってData[2:0]の値が書き込まれる。

【0030】以上のように、PORT_STATUSレジスタの値はパラレルインターフェイスの出力制御信号が変化したことを検知して、自動更新することが可能であり、CPUからPORT_STATUSレジスタに書き込みを行うことも可能である。

【0031】USBインターフェースを介してGET_PORT_STATUSリクエスト信号をUSB制御部が受信すると、上述のようにして更新される、PORT_STATUSレジスタに書き込まれた値がUSB制御部105によって読み出され、ホストに送信される。

【0032】したがって、ホスト装置から受けたデータがGET_PORT_STATUSリクエストであった場合、CPUに割り込みを発生してPORT_STATUSレジスタにパラレルインターフェイスのポート情報を書き込む動作を必要とせず、直接PORT_STATUSレジスタの値を参照してホストに返すことができる。

【0033】

【他の実施形態】なお、本発明は、複数の機器（例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0034】

【発明の効果】本発明によれば、パラレルインターフェイス制御ブロックの出力制御信号の変化を検知してUSB制御ブロックのPORT_STATUSレジスタの値を自動更新できるため、ホスト装置からのGET_PORT_STATUSリクエストに対してCPUを介在せずに極めて速い応答が可能である。CPUを介在しない応答を実現することによりスループットの低下を防ぐことができる。

【図面の簡単な説明】

【図1】本発明におけるインターフェイス制御回路の概略を表すブロック図である。

【図2】本発明のプリンタ装置の概略を表すブロック図である。

【図3】本発明におけるインターフェイス制御回路のエ

7

ツジ検出回路を表す図である。

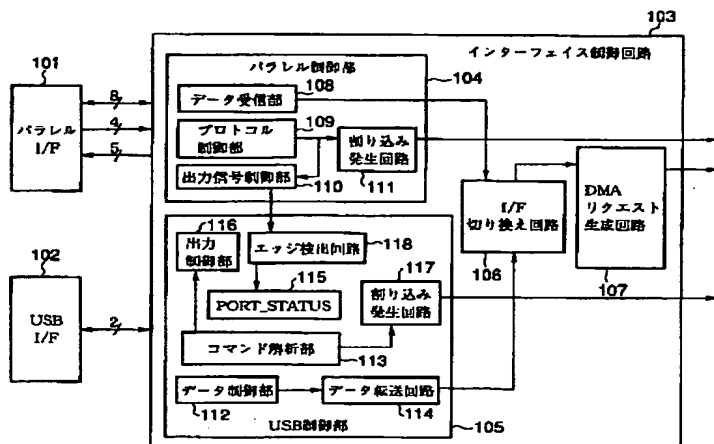
【図4】PORT_STATUSレジスタの書き込み制御回路の構成を表す図である。

8

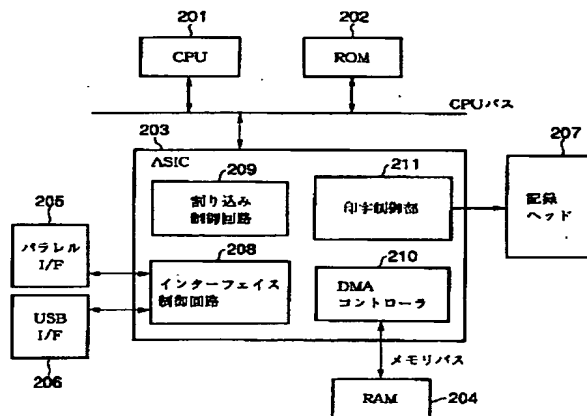
* 【図5】PORT_STATUSレジスタの書き込みタイミングを表す図である。

*

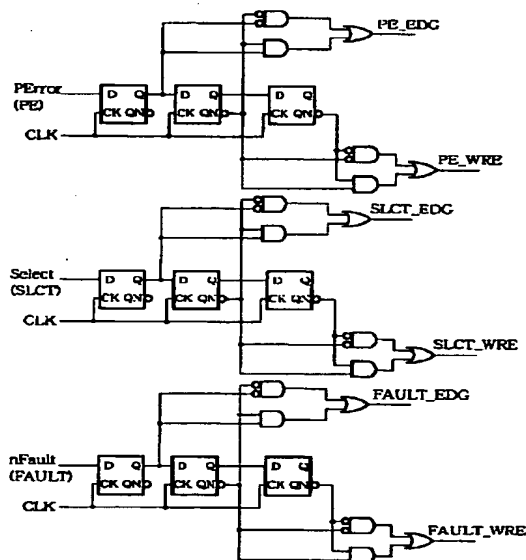
【図1】



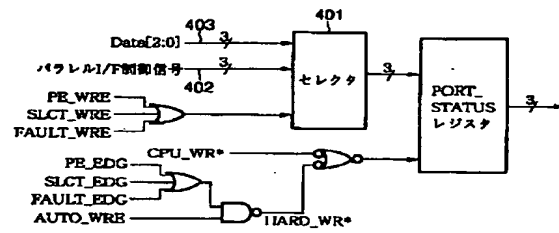
【図2】



【図3】



【図4】



【図5】

